

DERWENT-ACC-NO: 2000-561655

DERWENT-WEEK: 200052

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Semiconductor integrated circuit  
layout design support system outputs automatic buffer gate  
insertion result information file for delay adjustment  
between functional blocks, after determination of floor  
plan

PATENT-ASSIGNEE: HITACHI LTD[HITA] , HITACHI SOFTWARE ENG  
CO LTD[HISF]

PRIORITY-DATA: 1999JP-0024657 (February 2, 1999)

PATENT-FAMILY:

PUB-NO

PUB-DATE

LANGUAGE

PAGES

MAIN-IPC

JP 2000222451 A

August 11, 2000

N/A

006

G06F 017/50

APPLICATION-DATA:

PUB-NO

APPL-DESCRIPTOR

APPL-NO

APPL-DATE

JP2000222451A

N/A

1999JP-0024657

February 2, 1999

INT-CL (IPC): G06F017/50, H01L021/82

ABSTRACTED-PUB-NO: JP2000222451A

BASIC-ABSTRACT:

NOVELTY - The system estimates the type and number of  
optimum buffer gate  
required. The insertion position of the buffer gate in the  
network between  
functional blocks is determined, according to buffering  
rule. Automatic buffer  
gate insertion result information file is output after

determining floor plan  
and the wiring width of network between functional blocks  
according to  
buffering rule.

DETAILED DESCRIPTION - Floor plan information includes  
connection relationship  
of network, size of functional block, number of blocks in a  
chip, connection  
between blocks, block configuration designation position  
and shape. Wiring  
length is estimated based on the delay between the number  
of fan outs of the  
network between blocks in one block. The file containing  
the buffering rule is  
input as a standard for determining wiring width for each  
type of buffer gate  
to be inserted, number of buffer gate, its insertion  
position and the network  
between blocks.

USE - For layout design support of semiconductor integrated  
circuit.

ADVANTAGE - Optimum design can be performed easily and  
quickly, as generation  
and positioning of several types of buffer gate for delay  
adjustment  
corresponding to network between blocks, its configuration  
and wiring width can  
be performed accurately.

CHOSEN-DRAWING: Dwg.1/4

TITLE-TERMS: SEMICONDUCTOR INTEGRATE CIRCUIT LAYOUT DESIGN  
SUPPORT SYSTEM

OUTPUT AUTOMATIC BUFFER GATE INSERT RESULT  
INFORMATION FILE DELAY  
ADJUST FUNCTION BLOCK AFTER DETERMINE FLOOR  
PLAN

DERWENT-CLASS: T01 U11

EPI-CODES: T01-J15A2; U11-G;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2000-415964

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号  
特開2000-222451  
(P2000-222451A)

(43)公開日 平成12年8月11日(2000.8.11)

|                         |      |               |                   |
|-------------------------|------|---------------|-------------------|
| (51)IntCl. <sup>7</sup> | 識別記号 | F I           | テーマコード(参考)        |
| G 0 6 F 17/50           |      | G 0 6 F 15/60 | 6 5 6 D 5 B 0 4 6 |
| H 0 1 L 21/82           |      | H 0 1 L 21/82 | C 5 F 0 6 4       |

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21)出願番号 特願平11-24657

(22)出願日 平成11年2月2日(1999.2.2)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233055

日立ソフトウェアエンジニアリング株式会  
社

神奈川県横浜市中区尾上町6丁目81番地

(72)発明者 春間 敏行

神奈川県秦野市堀山下1番地 株式会社日

立製作所汎用コンピュータ事業部内

(74)代理人 100068504

弁理士 小川 勝男

最終頁に続く

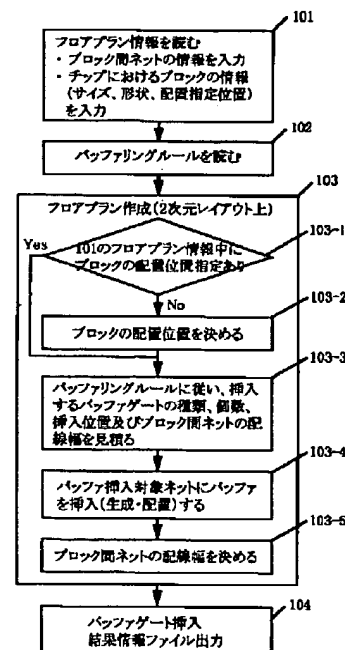
(54)【発明の名称】 半導体集積回路の設計支援システム

(57)【要約】

【課題】ブロック間ネットに対する、ディレイ調整のためのバッファゲートの生成及び配置及びブロック間ネットの配線幅決定をフロアプラン設計段階で行うことを的確且つ厳密に支援し、設計期間の短縮を実現する半導体集積回路の設計支援システムを提供する。

【解決手段】フロアプラン情報を読む手段と、バッファリングルールを読む手段と、ブロックの配置位置を決める手段と、バッファリングルールに従い、挿入するバッファゲートの種類、個数、挿入位置及びブロック間ネットの配線幅を見積る手段と、バッファ挿入対象ネットにバッファを挿入する手段と、ブロック間ネットの配線幅を決める手段と、フロアプラン完成後、ブロック間ネットに対するバッファゲートの自動挿入結果情報ファイルの出力を行う手段とを有して構成する。

図1



## 【特許請求の範囲】

【請求項1】フロアプラン設計の段階において、ネット  
で接続されたブロック（半導体集積回路を構成する機能  
ブロック）間にディレイ調整のためのバッファゲートを  
自動挿入する半導体集積回路の設計支援システムにおい  
て、チップにおけるブロックのサイズやブロックとブ  
ロック間ネットの結線関係（ネットリスト）、ブロック配  
置指定位置や形状等のフロアプラン情報を入力する手段  
と、前記ブロック間ネットのファンアウト数と配線長、  
またはブロック間のディレイに基づき、挿入するバッ  
ファゲートの種類、個数とその挿入位置及びブロック間  
ネットの配線幅を決定するための基準を与えることを可能  
とするファイル（バッファリングルール）を入力する手  
段と、前記バッファリングルールに従い、最適なバッ  
ファゲートの種類と個数を見積り、生成する手段と、前記  
ブロック間ネットに対し、生成したバッファゲートの挿  
入位置を決める手段と、前記バッファリングルールに従  
い、前記ブロック間ネットの配線幅を決める手段と、フ  
ロアプラン決定後に、ブロック間ネットに対するバッ  
ファゲートの自動挿入結果情報ファイルを出力する手段と  
を備えることを特徴とする設計支援システム。

【請求項2】前記半導体集積回路の設計支援システム  
は、前記フロアプラン情報にブロックの配置位置指定が  
ない場合、当該ブロックの配置位置を決める手段を備え  
ることを特徴とする請求項1記載の設計支援システム。

【請求項3】前記半導体集積回路の設計支援システム  
は、前記ブロック間ネットに接続されるブロックの配置  
位置や形状、挿入が行われたバッファゲートの種類や個  
数や挿入位置及びブロック間ネットの配線経路や配線幅  
の情報を2次元レイアウト上に出力表示し、自動配線に  
指定情報を出力する手段を備えることを特徴とする請求  
項1記載の設計支援システム。

【請求項4】請求項1に記載のバッファリングルールを  
作成する過程において、ブロック間ネットの配線長見積  
りとブロック間転送にかかるディレイを見積ることによ  
り、機能設計階層での設計へのフィードバックを可能と  
する手段を備えることを特徴とする請求項1記載の設計  
支援システム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路の  
レイアウト設計支援システムに関し、ブロック間におけ  
る、ディレイ調整のためのバッファゲートの自動挿入及  
びブロック間ネットの配線幅の決定をフロアプラン設計  
の段階で行うことを的確且つ厳密に支援し、設計期間の  
短縮を図った半導体集積回路の設計支援システムに関す  
る。

## 【0002】

【従来の技術】1) ブロック間ネットに対する、ディレ  
イ調整のためのバッファゲートの生成及び配置配線技術

に関し、従来技術として、特開平4-23347号公報  
に記載のように、論理設計の段階で、バッファゲートを  
論理構成とは無関係なディレイ調整用予備ゲートとして  
予めチップ上に机上で生成・配置を行っておき、レイ  
アウト設計において、論理ゲートの配置または配線決定後  
にディレイ計算を行い、その結果、ディレイ違反してい  
るネットについては、予め配置しておいた予備ゲートか  
ら適当なものを選択し、ネット中に挿入するというシ  
ステムが報告されている。

10 【0003】2) 従来、フロアプラン設計段階におい  
て、2次元レイアウト上でブロックの配置位置や形状、  
ブロック間の配線経路を決定することが出来る設計支援  
システムはあった。しかし、2次元レイアウト上で、ブ  
ロック間ネットのディレイ調整のために挿入したバッ  
ファゲートの数量、種類と挿入位置の情報及びそのブ  
ロック間ネットの配線幅の情報を出力表示できる設計支援  
システムはなかった。

## 【0004】

20 【発明が解決しようとする課題】従来の半導体集積回路  
の設計支援システムでは、

1) ブロック間ネットに対するバッファゲートの生成・  
配置を論理設計の段階で、机上で行っていたため、ファ  
ンアウト数、配線長及びディレイ等を考慮しながら、一  
つ一つ計算によって生成する個数、種類及び配置位置を  
求めなければならず、膨大な時間と労力を必要とする  
上、フロアプランが変わる度に、この処理を再度、やり  
直さなければならない。

30 【0005】2) ブロック間ネットに対する、ディレイ  
調整のためのバッファゲートの挿入をレイアウト設計の  
段階で行っていたため、ブロック・バッファゲート・ブ  
ロック間ネットの3者の結線関係が確認できるまでに膨  
大な時間を必要とする。

【0006】3) フロアプラン設計段階において、2次  
元レイアウト上で、ブロック間ネットのディレイ調整の  
ために挿入したバッファゲートの数量、種類と挿入位置  
の情報及びそのブロック間ネットの配線幅の情報を出力  
表示できる設計支援システムはない。

【0007】という問題があった。

40 【0008】本発明は、上記問題点を解決するもので、  
ブロック間ネットに対する、ディレイ調整のためのバッ  
ファゲートの自動挿入及びブロック間ネットの配線幅の  
決定を、フロアプラン設計の段階で行うことを的確且つ  
厳密に支援し、設計期間の短縮を図った半導体集積回路  
の設計支援システムを提供することを目的とする。

## 【0009】

【課題を解決するための手段】上記課題を解決するた  
めに、本発明の半導体集積回路のレイアウト設計支援装  
置は、チップにおけるブロックのサイズやブロックとブ  
ロック間ネットの結線関係（ネットリスト）、ブロック配  
置指定位置や形状等のフロアプラン情報の入力に対話形

式、または予め準備されたフロアプラン情報ファイル（前記フロアプラン情報をファイル化したもの）により行う手段と、ブロック間ネットのファンアウト数と配線長または当ネットに接続されるブロック間のディレイに基づき、挿入するバッファゲートの種類、個数とその挿入位置及びブロック間ネットの配線幅等の基準を与えることを可能とするファイル（バッファリングルール）を入力する手段と、前記フロアプラン情報において、ブロックの配置位置の指定がない場合、ブロックの配置位置を決める手段と、前記バッファリングルールに従い、最適なバッファゲートの種類と個数を見積り、生成する手段と、前記ブロック間ネットに対し、生成したバッファゲートの挿入位置を決める手段と、前記バッファリングルールに従い、ブロック間ネットの配線幅を決める手段と、前記ブロック間ネットに接続されているブロックの配置位置や形状、挿入が行われたバッファゲートの種類や個数や挿入位置及びブロック間ネットの配線経路や配線幅等の情報を2次元レイアウト上に出力表示する手段と、フロアプラン決定後に、ブロック間ネットに対するバッファゲートの自動挿入結果情報ファイルを出力する手段とを有して構成する。

【0010】本発明によれば、予めシミュレーション等により作成した最適な基準（バッファリングルール）に従い、バッファゲート挿入対象となるブロック間ネットのファンアウト数と配線長、またはブロック間のディレイに応じて、ブロック間ネットに対し、最適なバッファゲートの自動挿入及び当ブロック間ネットの配線幅を決めることが出来る。

【0011】また、2次元レイアウト上で挿入されたバッファゲートの数量、種類と挿入位置の情報及びブロック間ネットの配線幅情報を出力表示できるため、自動挿入が行われたバッファゲート及び決定したブロック間ネットの配線幅の認識が容易となった。

【0012】したがって、フロアプラン設計の段階で、ブロック間ネットに対して、ディレイ調整のために挿入するバッファゲートの種類、個数と挿入位置及びブロック間ネットの配線幅の決定、また、チップにおけるブロックの配置位置及びブロック間ネットの配線幅と配線経路の認識をよりの確且つ厳密に支援することができ、設計期間の短縮化を図ることができる。

【0013】

【発明の実施の形態】次に、本発明に係る実施例を図面に基いて説明する。

【0014】図1は本発明の実施例によるフロアプラン設計段階における、ブロック間ネットに対する、ディレイ調整のためのバッファゲートの自動挿入の処理フローを示す図、図2は本発明の設計支援システムの対象となる半導体集積回路及びその2次元レイアウト上での表示例を示す図、図3は半導体集積回路の設計フローの例を示す図、図4は本発明の実施例によるバッファリング

ールの例を示す図である。

【0015】まず、図3を参照し、本発明の設計支援システムの対象となる半導体集積回路の設計フローを説明する。

【0016】(1)半導体集積回路の機能を決定する。本発明の対象となる半導体集積回路は、複数のブロックとブロックの配線情報からなっている。(301)

(2)301でブロックの配置位置やブロックの形状を決定することにより、ブロック間ネットの配線長とブロック間転送にかかるディレイを見積り、この結果をもとに、機能ブロックの見直しを行う。

【0017】(3)本発明によるブロック間ネットに対するディレイ調整のためのバッファゲートの挿入（生成・配置）及びブロック間ネットの配線幅の決定を行う。(302)

ブロック間ネットに対するバッファゲートの挿入については図1を用いて後で詳細に説明する。

【0018】(4)各ブロック内及びブロック間の機能を実現するための論理回路レベルでの設計を行う。(303)

(5)各ブロック内、集積回路内のレイアウト設計を行う。(304)

次に、302のブロック間ネットに対するディレイ調整のためのバッファゲートの挿入及びブロック間ネットの配線幅の決定の処理フローを図1を参照して説明する。

【0019】(1)チップ(201)におけるブロック(202-1～202-4)の配置やブロック間をつなぐブロック間ネット(203)の結線関係等のフロアプラン情報を入力する（対話形式による入力でも良い）。(101)

(2)ブロック間ネットのファンアウト数と配線長及びブロック間ネットに接続されるブロック間のディレイに応じ、挿入するバッファゲートの種類、個数と挿入位置及びブロック間ネットの配線幅を決定するための基準（予めシミュレーション等により作成）を記載したバッファリングルールを入力する。(102)図4では、バッファリングルールの一実施例を示しており、ブロック間ネットの配線長L及びブロック間ディレイDから生成するバッファゲートの個数、種類及びバッファゲートの挿入位置やブロック間ネットの配線幅の基準を明確に表している。102ではこのバッファリングルールをファイル化して入力する。

【0020】(3)101、102の入力情報をもとにフロアプラン図を2次元レイアウト上に出力表示（図2(a)）し、以下の処理（103-1～103-5）を実行することにより、フロアプランを完成（図2(b)）させる。(103)

・((101)において、配置位置指定がないブロックについて)ブロックの配置位置を決める。(103-1、103-2)

・バッファリングルール(図4)に従い、挿入するバッファゲートの種類と個数及び挿入位置、ブロック間ネットの配線幅を見積る。(103-3)

・バッファゲート挿入対象のブロック間ネットに対し、103-3で見積った種類及び個数のバッファゲートの挿入(生成・配置)を行う。(103-4)

・103-3の見積りに従い、ブロック間ネットの配線幅を決める。(103-5)

(4) 103でフロアプラン完成の後、ブロック間ネットに対するバッファゲートの自動挿入結果情報(バッファゲートの種類・個数・挿入位置、ブロック間ネットの配線経路・配線幅、チップにおけるブロックの配置位置・形状等の情報)ファイルの出力を行う。(104)

以上説明した方法を用いることにより、ブロック間における、ディレイ調整のためのバッファゲートの挿入及びブロック間ネットの配線幅決定を半導体集積回路設計におけるフロアプラン設計という早い段階で実現することができ、設計期間の短縮化を図ることが出来る。

【0021】また、ブロック間ネットに接続されるブロックの配置位置や形状、挿入が行われたバッファゲートの種類や個数や挿入位置及びブロック間ネットの配線経路や配線幅等の情報を2次元レイアウト上に出力表示できるため、前記バッファゲート、ブロック間ネット、ブロック3者の関係の認識が容易となる。

【0022】

【発明の効果】本発明によれば、予めシミュレーション等により作成した最速な基準(バッファリングルール)に従い、バッファゲート挿入対象となるブロック間ネットのファンアウト数と配線長及び当ネットに接続されるブロック間のディレイに応じて、ブロック間ネットに対

し、最適なバッファゲートの挿入(生成・配置)及びブロック間ネットの配線幅の決定が可能となる。

【0023】また、ブロック間ネットに接続されるブロックの配置位置や形状、挿入が行われたバッファゲートの種類や個数や挿入位置及びブロック間ネットの配線経路や配線幅等の情報を2次元レイアウト上に出力表示できるため、前記バッファゲート、ブロック間ネット、ブロック3者の関係の認識が容易となる。

【0024】したがって、ブロック間における、ディレイ調整のためのバッファゲートの自動挿入及びブロック間ネットの配線幅の決定をフロアプラン設計の段階で行うことを的確且つ厳密に支援し、設計期間の短縮化を図ることができる。

【0025】さらに、本発明の設計支援システムでは、バッファリングルール作成の過程において、ブロック間ネットの配線長とブロック間転送ディレイを見積ることができるため、機能設計段階での設計へのフィードバックが可能となり、設計期間の短縮が図れる。

【図面の簡単な説明】

【図1】本発明によるブロック間ネットに対するバッファゲート自動挿入及びブロック間ネットの配線幅決定の処理フローを示す図である。

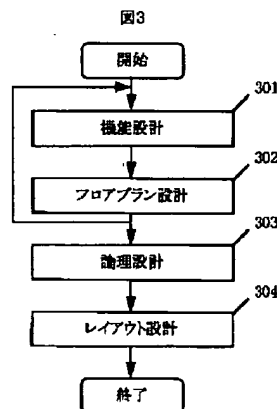
【図2】本発明の半導体集積回路及びその2次元レイアウト上での表示の例を示す図である。

【図3】半導体集積回路の設計フローの例を示す図である。

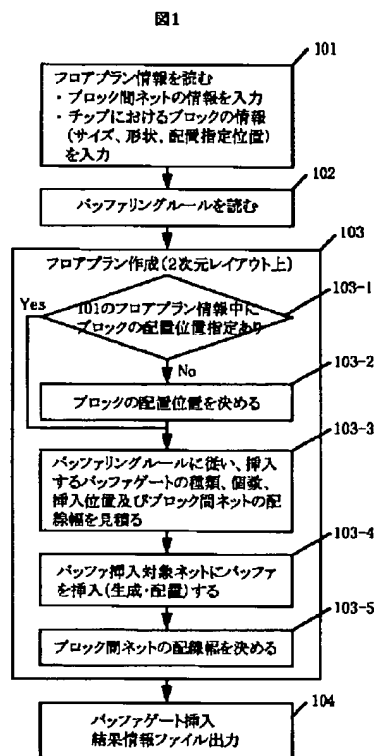
【図4】本発明の実施例によるバッファリングルールの例を示す図である。

【符号の説明】

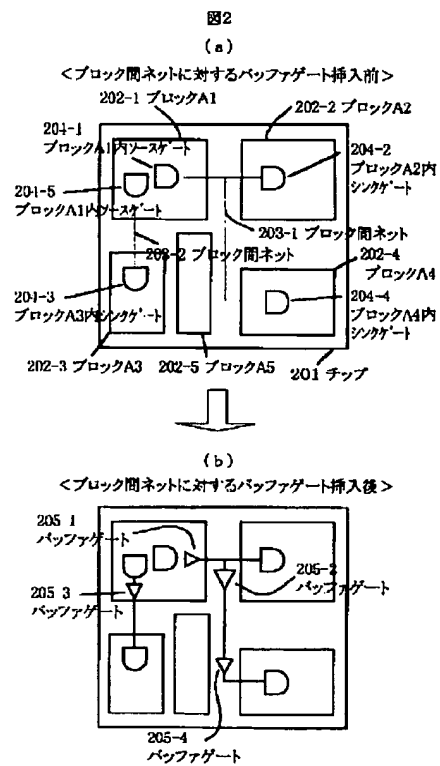
【図3】



【図1】



【図2】



【図4】

図4

| ブロック間ネット<br>の配線長 L | ブロック間バッファゲート生成個数、種類<br>及びブロック間ネットの配線幅形態         | ディレイ D                             |
|--------------------|---|------------------------------------|
| $0 \leq L < L_1$   | 1倍幅<br>ブロック間ネット<br>ブロックA内ソースゲート<br>ブロックB内シンクゲート | $a1 \times L^2 + b1 \times L + c1$ |
|                    | 1倍幅 2倍力バッファゲート(ブロック内)                           | $a2 \times L^2 + b2 \times L + c2$ |
| $L_1 \leq L < L_2$ | 1倍幅 3倍幅 2倍力バッファゲート(ブロック内) 2倍力バッファゲート(ブロック間)     | $a3 \times L + b3$                 |
|                    | 1倍幅 7倍幅 4倍力バッファゲート(ブロック内) 4倍力バッファゲート(ブロック間)     | $a4 \times L + b4$                 |
| $L_2 \leq L < L_3$ | 1倍幅 3倍幅 2倍力バッファゲート(ブロック間)                       | $a5 \times L + b5$                 |
|                    | 1倍幅 7倍幅 4倍力バッファゲート(ブロック間)                       | $a6 \times L + b6$                 |

## フロントページの続き

(72)発明者 檜山 徹  
神奈川県秦野市堀山下1番地 株式会社日立製作所汎用コンピュータ事業部内  
(72)発明者 佐々木 哲雄  
神奈川県秦野市堀山下1番地 株式会社日立製作所汎用コンピュータ事業部内  
(72)発明者 徳山 弘毅  
神奈川県秦野市堀山下1番地 株式会社日立製作所汎用コンピュータ事業部内

(72)発明者 谷口 富夫  
神奈川県横浜市中区尾上町6丁目81番地 日立ソフトウェアエンジニアリング株式会社社内  
(72)発明者 三村 幸市  
神奈川県横浜市中区尾上町6丁目81番地 日立ソフトウェアエンジニアリング株式会社社内  
Fターム(参考) 5B046 AA08 BA04  
5F064 BB26 DD07 DD10 DD13 DD14  
EE09 EE47 HH13 HH14